

Patent number: JP6347825
Publication date: 1994-12-22
Inventor: ORITSUKI RYOJI
Applicant: HITACHI LTD
Classification:
- international: G02F1/136; H01L29/784
- european:
Application number: JP19930135943 19930607
Priority number(s): JP19930135943 19930607

Report a data error here

Abstract of JP6347825

PURPOSE:To eliminate the need for photoetching stage of a transparent conductive film and to reduce the cost of production in forming a transparent pixel electrode by forming the pixel electrode in a hole part formed in the protective film of a thin-film transistor(TFT). **CONSTITUTION:**The protective film PSV11 of the TFT1 of the liquid crystal display device consisting of the TFT1 and the pixel electrode ITO1 as the constituting elements of the pixel is provided with the hole part HOP and the pixel electrode ITO1 is formed in the hole part HOP. A resist is formed on the protective film PSV11 of the TFT1 and the hole part HOP is formed in the position where the pixel electrode ITO1 of the protective film PSV11 is to be formed. After conductive film is formed on this resist, the resist is removed. The transparent pixel electrode ITO1 is composed of a third conductive film d3 and this third conductive film d3 consists of the transparent conductive film formed by sputtering.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-347825

(43) 公開日 平成6年(1994)12月22日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9119-2K
H01L 29/784	9056-4M	H01L 29/78
		311 A

審査請求 未請求 請求項の数 2 O L (全18頁)

(21) 出願番号 特願平5-135943

(22) 出願日 平成5年(1993)6月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 折付 良二

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

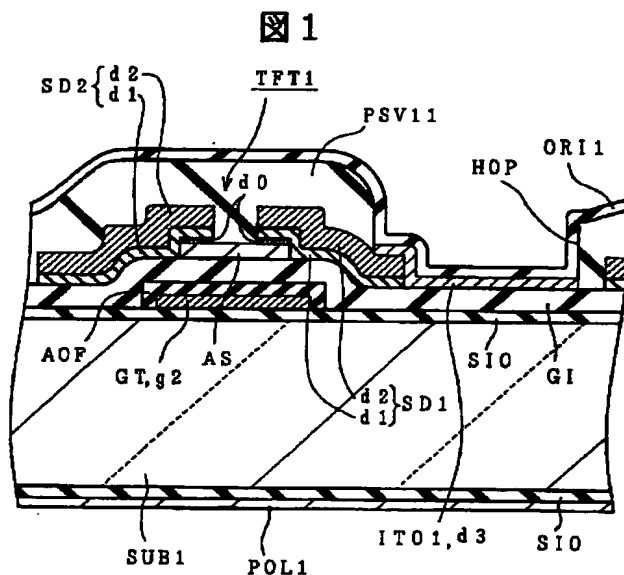
(74) 代理人 弁理士 中村 純之助

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 製造コストを安価にする。

【構成】 薄膜トランジスタTFT1の保護膜PSV1に穴部HOPを設け、穴部HOPに透明画素電極ITO1を形成する。



PSV11...保護膜
TFT1...薄膜トランジスタ
ITO1...透明画素電極
HOP...穴部

【特許請求の範囲】

【請求項 1】 薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置において、上記薄膜トランジスタの保護膜に穴部を設け、上記穴部に上記画素電極を形成したことを特徴とする液晶表示装置。

【請求項 2】 薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置を製造する方法において、上記薄膜トランジスタの保護膜上にレジストを形成し、上記保護膜の上記画素電極を形成すべき位置に穴部を設け、上記レジスト上に導電膜を設けたのち、上記レジストを除去することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、液晶表示装置に係り、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】 アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【 0 0 0 3 】 従来のアクティブ・マトリクス方式の液晶表示装置においては、透明基板と薄膜トランジスタの保護膜との間に透明画素電極が設けられている。

【 0 0 0 4 】 なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭 63-309921 号公報や、「冗長構成を採用した 12.5 型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁 193~210、1986 年 12 月 15 日、日経マグロウヒル社発行、で知られている。

【 0 0 0 5 】

【発明が解決しようとする課題】 このような液晶表示装置においては、透明画素電極を形成するのに、透明導電膜のホットエッチング工程を行なわなければならないから、製造コストが高価となる。

【 0 0 0 6 】 この発明は上述の課題を解決するためになされたもので、製造コストが安価な液晶表示装置、その製造方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】 この目的を達成するため、この発明においては、薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置において、上記

薄膜トランジスタの保護膜に穴部を設け、上記穴部に上記画素電極を形成する。

【 0 0 0 8 】 また、薄膜トランジスタと画素電極とを画素の構成要素とする液晶表示装置を製造する方法において、上記薄膜トランジスタの保護膜上にレジストを形成し、上記保護膜の上記画素電極を形成すべき位置に穴部を設け、上記レジスト上に導電膜を設けたのち、上記レジストを除去する。

【 0 0 0 9 】

【作用】 この液晶表示装置、その製造方法においては、画素電極を形成するのに、導電膜のホットエッチング工程を行なう必要がない。

【 0 0 1 0 】

【実施例】 この発明、この発明の更に他の目的およびこの発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【 0 0 1 1 】 《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【 0 0 1 2 】 《マトリクス部の概要》 図 2 はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図 3 は図 2 の 3-3 切断線における断面図、図 4 は図 2 の 4-4 切断線における断面図である。

【 0 0 1 3 】 図 2 に示すように、各画素は隣接する 2 本の走査信号線（ゲート信号線または水平信号線）GL と、隣接する 2 本の映像信号線（ドレイン信号線または垂直信号線）DL との交差領域内（4 本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタ TFT、透明画素電極 ITO1 および保持容量素子 Cadd を含む。走査信号線 GL は図では左右方向に延在し、上下方向に複数本配置されている。映像信号線 DL は上下方向に延在し、左右方向に複数本配置されている。

【 0 0 1 4 】 図 3 に示すように、液晶 LC 層を基準にして下部透明ガラス基板 SUB1 側には薄膜トランジスタ TFT および透明画素電極 ITO1 が形成され、上部透明ガラス基板 SUB2 側にはカラーフィルタ FIL、ブラックマトリクスパターンの遮光膜 BM が形成されている。透明ガラス基板 SUB1、SUB2 の両面にはディップ処理等によって形成された酸化シリコン膜 SiO が設けられている。

【 0 0 1 5 】 上部透明ガラス基板 SUB2 の内側（液晶 LC 側）の表面には、遮光膜 BM、カラーフィルタ FIL、保護膜 PSV2、共通透明画素電極 ITO2（COM）および上部配向膜 ORI2 が順次積層して設けられている。

【 0 0 1 6 】 《マトリクス周辺の概要》 図 5 は透明ガラ

基板 SUB 1、SUB 2 を含む表示パネル PNL のマトリクス AR の周辺の要部平面を示す図、図 6 はその周辺部を更に誇張した平面を示す図、図 7 は図 5 および図 6 のパネル左上角部に対応するシールパターン SL 付近の拡大平面を示す図である。また、図 8 は図 3 の断面を中央にして、左側に図 7 の 8 a - 8 a 切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子であるドレイン端子 DTM 付近の断面を示す図である。同様に図 9 は、左側に垂直走査回路が接続されるべき外部接続端子であるゲート端子 GTM 付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0017】この表示パネルの製造では、小さいサイズであればスループット向上のため 1 枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラス基板を切断する。図 5 ~ 図 7 は後者の例を示すもので、図 5、図 6 の両図とも透明ガラス基板 SUB 1、SUB 2 の切断後を、図 7 は切断前を表しており、LN は透明ガラス基板 SUB 1、SUB 2 の切断前の縁を、CT 1、CT 2 はそれぞれ透明ガラス基板 SUB 1、SUB 2 を切断すべき切断線を示す。いずれの場合も、完成状態では外部接続端子群 Tg、Td (添字略) が存在する (図で上下辺と左辺の) 部分はそれらを露出するように上部透明ガラス基板 SUB 2 の大きさが下部透明ガラス基板 SUB 1 よりも内側に制限されている。端子群 Tg、Td はそれぞれ後述する垂直走査回路接続用のゲート端子 GTM、映像信号駆動回路接続用のドレイン端子 DTM とそれらの引出配線部を集積回路チップ CHI が搭載されたテープキャリアパッケージ TCP (図 18、図 19) の単位に複数本まとめて名付けたものである。各群のマトリクス AR 部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、テープキャリアパッケージ TCP の配列ピッチおよび各テープキャリアパッケージ TCP における接続端子ピッチに表示パネル PNL の端子 DTM、GTM を合わせるためである。

【0018】透明ガラス基板 SUB 1、SUB 2 の間にはその縁に沿って、液晶封入口 INJ を除き、液晶 LC を封止するようにシールパターン SL が形成される。シールパターン SL はたとえばエポキシ樹脂からなる。上部透明ガラス基板 SUB 2 側の共通透明画素電極 ITO 2 は、少なくとも一箇所において、この表示装置では表示パネル PNL の 4 角で銀ペースト材 AGP によって下部透明ガラス基板 SUB 1 側に形成されたその引出配線 INT に接続されている。この引出配線 INT は後述するゲート端子 GTM、ドレイン端子 DTM と同一製造工程で形成される。

【0019】配向膜 ORI 1、ORI 2、透明画素電極 ITO 1、共通透明画素電極 ITO 2 のそれぞれの層は、シールパターン SL の内側に形成される。偏光板 POL 1、POL 2 はそれぞれ下部透明ガラス基板 SUB 1、上部透明ガラス基板 SUB 2 の外側の表面に形成されている。液晶 LC は液晶分子の向きを設定する下部配向膜 ORI 1 と上部配向膜 ORI 2 との間でシールパターン SL で仕切られた領域に封入されている。下部配向膜 ORI 1 は下部透明ガラス基板 SUB 1 側の保護膜 PSV 11、透明画素電極 ITO の上部に形成される。

【0020】この液晶表示装置は、下部透明ガラス基板 SUB 1 側、上部透明ガラス基板 SUB 2 側で別個に種々の層を積み重ね、シールパターン SL を上部透明ガラス基板 SUB 2 側に形成し、上部透明ガラス基板 SUB 1 と下部透明ガラス基板 SUB 2 とを重ね合わせ、シールパターン SL の液晶封入口 INJ から液晶 LC を注入し、液晶封入口 INJ をエポキシ樹脂などで封止し、透明ガラス基板 SUB 1、SUB 2 を切断することによって組み立てられる。

【0021】《薄膜トランジスタ TFT》次に、図 2、図 3 に戻り、薄膜トランジスタ TFT が形成された下部透明ガラス基板 SUB 1 側の構成を詳しく説明する。

【0022】薄膜トランジスタ TFT は、ゲート電極 GT に正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0023】各画素には複数 (2 つ) の薄膜トランジスタ TFT 1、TFT 2 が冗長して設けられる。薄膜トランジスタ TFT 1、TFT 2 のそれぞれは、実質的に同一サイズ (チャネル長、チャネル幅が同じ) で構成され、ゲート電極 GT、ゲート絶縁膜 GI、i 型 (真性、intrinsic、導電型決定不純物がドーピングされていない) 非晶質 Si からなる i 型半導体層 AS、一対のソース電極 SD 1、ドレイン電極 SD 2 を有する。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0024】《ゲート電極 GT》ゲート電極 GT は走査信号線 GL から垂直方向に突出する形状で構成されている (T 字形状に分岐されている)。ゲート電極 GT は薄膜トランジスタ TFT 1、TFT 2 のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタ TFT 1、TFT 2 のそれぞれのゲート電極 GT は、一体に (共通のゲート電極として) 構成されており、走査信号線 GL に連続して形成されている。本例では、ゲート電極 GT は、単層の第 2 導電膜 g 2 で形成されている。第 2 導電膜 g 2 としてはたとえばスパッタで形成された Al 膜が用いられ、その上には Al の陽極酸化膜 AOF が

設けられている。

【0025】このゲート電極GTはi型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0026】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。

【0027】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共にi型半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしてはたとえばプラズマCVDで形成された窒化Si膜が選ばれ、1200~2700Åの厚さに（この表示装置では、2000Å程度）形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続用の端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLとの電氣的絶縁にも寄与している。

【0028】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成された非晶質Siで、200~2200Åの厚さに（この表示装置では、2000Å程度の膜厚）で形成される。d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質SiからなるN(+)型半導体層であり、下側にi型半導体層ASが存在し、上側に導電膜d1(d2)が存在するところのみに残されている。

【0029】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0030】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0031】透明画素電極ITOは保護膜PSV11に設けられた穴部HOPに形成されており、透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すればよい。透明画素電極ITO1は第3導電膜d3によって構成され

ており、この第3導電膜d3はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000Åの厚さに（この表示装置では、1400Å程度の膜厚）形成される。

【0032】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第1導電膜d1とその上に形成された第2導電膜d2とから構成されている。

【0033】第1導電膜d1はスパッタで形成したCr膜を用い、500~1000Åの厚さに（この表示装置では、600Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第2導電膜d2のAlがN(+)型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。第1導電膜d1として、Cr膜の他に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（MoSi₂、TiSi₂、TaSi₂、WSi₂）膜を用いてもよい。

【0034】第2導電膜d2はAlのスパッタリングで3000~5000Åの厚さに（この表示装置では、4000Å程度）形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【0035】第1導電膜d1、第2導電膜d2を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第1導電膜d1、第2導電膜d2をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第1導電膜d1、第2導電膜d2以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0036】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第1導電膜d1、第2導電膜d2で構成されている。

【0037】《保護膜PSV11》薄膜トランジスタTFT上には保護膜PSV11が設けられている。保護膜PSV11は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV11はたとえばエポキシ樹脂膜、ポリイミド樹脂膜等の有機膜で形成されており、1μm程度の膜厚で形成する。

【0038】保護膜PSV11はマトリクス部ARの透

明画素電極ITO1部以外の部分に形成されている。すなわち、保護膜PSV11の透明画素電極ITO1部には穴部HOPが設けられている。また、保護膜PSV11は図7に示すように、外部接続端子DTM、GTMを露出するよう除去され、また上部透明ガラス基板SUB2側の共通透明画素電極ITO2(COM)を下部透明ガラス基板SUB1の外部接続端子接続用引出配線INTに銀ペースト材AGPで接続する部分も除去されている。保護膜PSV11、絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を考え薄くされる。したがって、図7に示すように、保護効果の高い保護膜PSV11は周辺部もできるだけ広い範囲に亘って保護するよう絶縁膜GIよりも大きく形成されている。

【0039】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光またはバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばAl膜やCr膜等で形成されており、この表示装置ではCr膜がスパッタリングで1300Å程度の厚さに形成される。

【0040】したがって、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され(いわゆるブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0041】透明画素電極ITO1のラビング方向の根本側のエッジ部分(図2右下部分)も遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0042】遮光膜BMは図6に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図6～図9に示すように、シールパターンSLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは上部透明ガラス基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、上部透明ガラス基板SUB2の切断領域を避けて形成されている。

【0043】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透

明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0044】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0045】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0046】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。この表示装置では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すればよい。なお、共通透明画素電極ITO2の平面形状は図6、図7を参照されたい。

【0047】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかのように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0048】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0049】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第1導電膜d1および第2導電膜d2で構成された島領域によってその不良は補償

される。

【0050】《ゲート端子GTM》図10は表示マトリクスの走査信号線GLからその外部接続端子であるゲート端子GTMまでの接続構造を示す図であり、(A)は平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0051】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。したがって、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、走査信号線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化された第2導電膜(A1層)g2は表面にその酸化物である陽極酸化膜(A1、O₂膜)AOFが形成され下方の導電部は体積が減少する。もちろん、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行なわれる。マスクパターンAOは走査信号線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0052】図中第2導電膜g2は、判り易くするためハッチを施してあるが、陽極酸化されない領域は櫛状にパターンニングされている。これは、第2導電膜g2の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。したがって、本例では櫛の根本に相当する部分もマスクパターンAOに沿ってずらしている。

【0053】ゲート端子GTMは酸化シリコン膜SIOと接着性が良くA1等よりも耐電触性の高い第1導電膜(Cr層)g1と、さらに第1導電膜g1の表面を保護し透明画素電極ITO1と同レベル(同層、同時形成)の第3(透明)導電膜d3とで構成されている。なお、絶縁膜GI上およびその側面部に形成された導電膜d1、d2は、導電膜d2、d1のエッチング時ピンホール等が原因で導電膜g2、g1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。また、絶縁膜GIを乗り越えて右方向に延長された第3導電膜(ITO層)d3は同様な対策を更に万全とさせたものである。

【0054】平面図において、絶縁膜GIはその境界線よりも右側に、保護膜PSV11もその境界線よりも右側に形成されており、左端に位置するゲート端子GTM部はそれらから露出し外部回路との電氣的接触ができるようになっている。図では、走査信号線GL、ゲート端子GTMの一つの対のみが示されているが、実際はこの

ような対が図7に示すように上下に複数本並べられ端子群Tg(図6、図7)が構成され、ゲート端子GTMの左端は、製造過程では、下部透明ガラス基板SUB1の切断線CT1を越えて延長され、配線SHgによって短絡される。製造過程におけるこのような短絡配線SHgは陽極酸化時の給電と、配向膜OR11のラビング時等の静電破壊防止に役立つ。

【0055】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子であるドレイン端子DTMまでの接続を示す図であり、(A)は平面図、(B)は(A)のB-B切断線における断面図である。なお、同図は図7右上付近に対応し、図面の向きは便宜上変えてあるが、右端方向が下部透明ガラス基板SUB1の上端部(または下端部)に該当する。

【0056】TSTdは検査端子であり、検査端子TSTdには外部回路は接続されないが、プローブ針等を接触できるように配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続用のドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり下部透明ガラス基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは図7に示すように端子群Td(添字省略)を構成し、下部透明ガラス基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン端子DTMが接続され、逆にドレイン端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子TSTdが接続される。

【0057】ドレイン端子DTMは前述したゲート端子GTMと同様な理由で第1導電膜(Cr層)g1および第3導電膜(ITO層)d3の2層で形成されており、絶縁膜GIを除去した部分で映像信号線DLと接続されている。絶縁膜GIの端部に形成された半導体層ASは絶縁膜GIの縁をテーパ状にエッチングするためのものである。ドレイン端子DTM上では外部回路との接続を行なうため保護膜PSV11は勿論のこと取り除かれている。AOは前述した陽極酸化マスクパターンであり、その境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には第2導電膜g2が存在しないので、このパターンは直接は関係しない。

【0058】マトリクス部からドレイン端子DTM部までの引出配線は図8の(c)部にも示されるように、ドレイン端子DTM部と同じレベルの導電膜d3、g1のすぐ上に映像信号線DLと同じレベルの導電膜d1、d2がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触

し易い第2導電膜(A1層)d2を保護膜PSV11やシールパターンSLでできるだけ保護する狙いである。

【0059】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0060】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endは走査タイミングの順序に従って付加されている。

【0061】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0062】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0063】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0064】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0065】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1(PIX)と共通透明画素電極ITO2(COM)との間に形成される液晶容量、 ΔVlc は ΔVg による画素電極電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0066】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、したがって寄生容量Cgsが大きくなり、中点電位Vlcはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0067】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4~8倍($4 \cdot Cpix < Cadd < 8 \cdot Cpix$)、寄生容量Cgsに対して8~32倍($8 \cdot Cgs < Cadd < 32 \cdot Cgs$)程度の値に設定する。

【0068】保持容量電極線としてのみ使用される初段の走査信号線GL(Y₀)は共通透明画素電極ITO2(Vcom)と同じ電位にする。図7の例では、初段の走査信号線は端子GT0、引出配線INT、端子DT0および外部配線を通じて共通透明画素電極ITO2(COM)に短絡される。あるいは、初段の保持容量電極線Y₀は最終段の走査信号線Yendに接続、Vcom以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₀を受けると接続してもよい。

【0069】《製造方法》つぎに、上述した液晶表示装置の下部透明ガラス基板SUB1側の製造方法について図13~図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Hは各写真処理に対応して分けけたもので、工程Hを除き各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。なお、写真処理とは本説明ではフォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下分けけた工程に従って、説明する。

【0070】工程A、図13

7059ガラス(商品名)からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100ÅのCrからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する配線(陽極酸化バスライン)SHg、ドレイン端子DTMを短絡する配線(バスライン)SHd、配線(陽極酸化バスライン)SHgに接続された陽極酸化パッド(図示せず)を形成する。

【0071】工程B、図13

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0072】工程C、図13

50 写真処理後(前述した陽極酸化マスクAO形成後)、3

%酒石酸をアンモニアによりpH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に下部透明ガラス基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する(定電流化成)。つぎに、所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行なう。その後、この状態で数10分保持することが望ましい(定電圧化成)。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、第2導電膜g2が陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0073】工程D、図14
プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0074】工程E、図14
写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0075】工程F、図14
写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0076】工程G、図15
膜厚が600ÅのCrからなる第1導電膜d1をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜d2をスパッタリングにより設ける。写真処理後、第2導電膜d2を工程Bと同様な液でエッチングし、第1導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0077】工程H、図15
有機膜を塗布する。つぎに、写真処理によりフォトレジストRSTを形成した後、有機膜を選択的にエッチングすることによって、保護膜PSV11を形成する。つぎに、膜厚が1400Åの透明導電膜からなる第3導電膜d3をスパッタリングにより設ける。つぎに、フォトレジストRSTを除去することにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0078】このようにすれば、透明画素電極ITO1

を形成するのに、第3導電膜d3のホトエッチング工程を行なう必要がないから、製造コストが安価となる。

【0079】《液晶表示モジュールの全体構成》図16は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0080】SHDは金属板からなる枠状のシールドケース(メタルフレーム)、LCWはシールドケースSHDの表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0081】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKとによって全体が固定されるようになっている。

【0082】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLSならびに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0083】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるように、バックライト(蛍光管)BLに対応して反射山RMが形成されている。

【0084】《表示パネルPNLと駆動回路基板PCB1》図17は、図5等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vとを接続した状態を示す上面図である。

【0085】CHIは表示パネルPNLを駆動させる駆動集積回路チップ(下側の3個は垂直走査回路V側の駆動集積回路チップ、左右の6個ずつは映像信号駆動回路He、Ho側の駆動集積回路チップ)である。TCPは図18、図19で後述するように駆動集積回路チップCHIがテープ・オートメーテッド・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1はテープキャリアパッケージTCPやコンデンサCDS等が実装された駆動回路基板で、駆動回路基板PCB1は3つに分割されている。FGPはフレームグランドパッドであり、フレームグランドパッドFGPはシールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1とを電氣的に接続し、下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電氣的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0086】《テープキャリアパッケージTCPの接続

構造》図18は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用のドレイン端子DTMに接続した状態を示す要部断面図である。

【0087】同図において、TTBは集積回路チップCHIの入力端子・配線部であり、TTMは集積回路チップCHIの出力端子・配線部であり、たとえばCuからなり、それぞれの内側の先端部（通称インナーリード）には集積回路チップCHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力および出力に対応し、半田付け等によりCRT/TF T変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。テープキャリアパッケージTCPは、その先端部がパネルPNL側のドレイン端子DTMを露出した保護膜PSV11を覆うようにパネルに接続されており、したがって外部接続端子DTM（GTM）は保護膜PSV11かテープキャリアパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0088】BF1はポリイミド等からなるベースフィルムであり、SR5は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の透明ガラス基板SUB1、SUB2の隙間は洗浄後エポキシ樹脂EPX等により保護され、テープキャリアパッケージTCPと上部透明ガラス基板SUB2との間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0089】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図20に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電氣的に接続される。

【0090】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フ

レームMFRの所定の凹部に嵌合される。

【0091】図21はこの発明に係る他のアクティブ・マトリックス方式のカラー液晶表示装置の画素部を示す断面図である。図に示すように、薄膜トランジスタTF Tを保護する保護膜PSV12が設けられており、保護膜PSV12はたとえばプラズマCVD装置で形成した酸化Si膜や窒化Si膜で形成されており、1μm程度の膜厚で形成されている。保護膜PSV12に設けられた穴部HOP1、絶縁膜GIに設けられた穴部HOP2に透明画素電極ITO1が設けられている。

【0092】この液晶表示装置を製造するには、酸化Si膜、窒化Si膜を設け、写真処理によりフォトレジストを形成した後、酸化Si膜、窒化Si膜を選択的にエッチングすることによって、保護膜PSV12を形成し、穴部HOP1を設けるとともに、絶縁膜GIに穴部HOP2を設け、第3導電膜d3をスパッタリングにより設け、フォトレジストを除去することにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0093】このようにすれば、透明画素電極ITO1を形成するのに、第3導電膜d3のホットエッチング工程を行なう必要がないから、製造コストが安価となる。

【0094】

【発明の効果】以上説明したように、この発明に係る液晶表示装置、その製造方法においては、画素電極を形成するのに、導電膜のホットエッチング工程を行なう必要がないから、製造コストが安価となる。このように、この発明の効果は顕著である。

【図面の簡単な説明】

【図1】図2に示した液晶表示装置の画素部を示す断面図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺を示す断面図である。

【図4】図2の4-4切断線における保持容量素子Cadの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し、さらに具体的に説明するためのパネル平面図である。

【図7】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図8】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側にゲート端子があるパネル縁部分を示し、右側に外部接続端子のないパネル縁部分を示す断面図である。

【図10】ゲート端子GTMと走査信号線GLとの接続

10

20

30

40

50

部近辺を示す平面と断面の図である。

【図 1 1】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図 1 2】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 1 3】下部透明ガラス基板SUB 1 側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 1 4】下部透明ガラス基板SUB 1 側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 1 5】下部透明ガラス基板SUB 1 側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

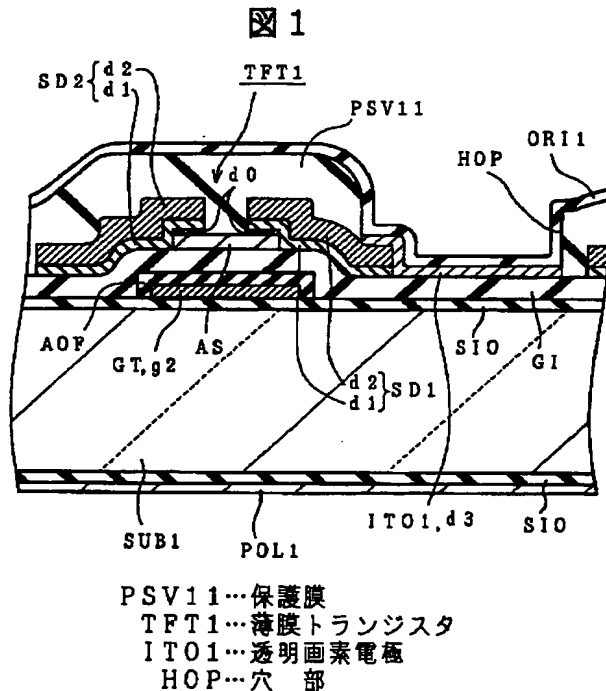
【図 1 6】液晶表示モジュールの分解斜視図である。

【図 1 7】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図 1 8】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図 1 9】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図 1】



【図 2 0】周辺駆動回路基板PCB 1（上面が見える）と電源回路基板PCB 2（下面が見える）との接続状態を示す上面図である。

【図 2 1】この発明に係る他の液晶表示装置の画素部を示す断面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i 型半導体層

SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスクパターン、GTM…ゲート端子、DTM…ドレイン端子

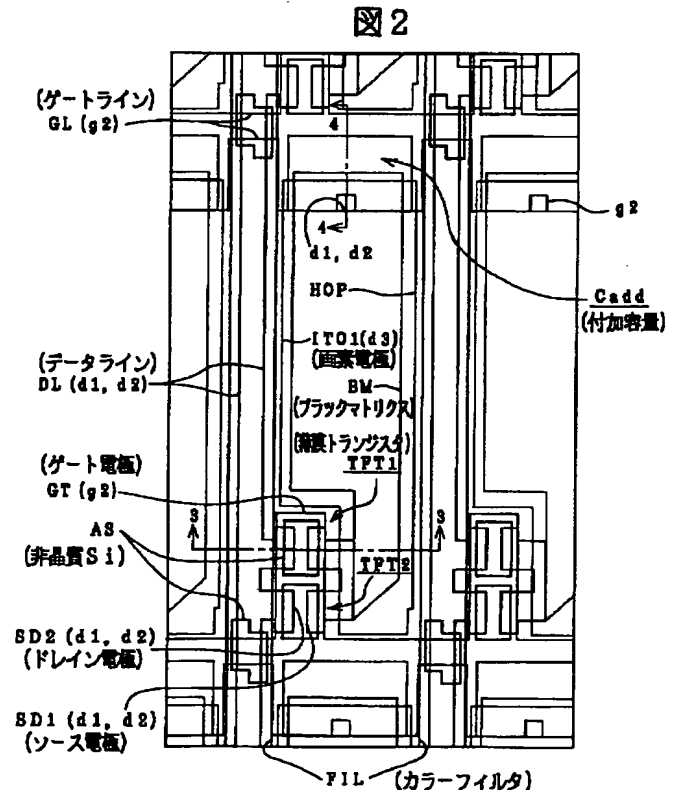
SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板

20 MFR…中間フレーム、BL…バックライト、BLS…バックライト支持体

LCA…下側ケース、RM…バックライト光反射山、HOP…穴部

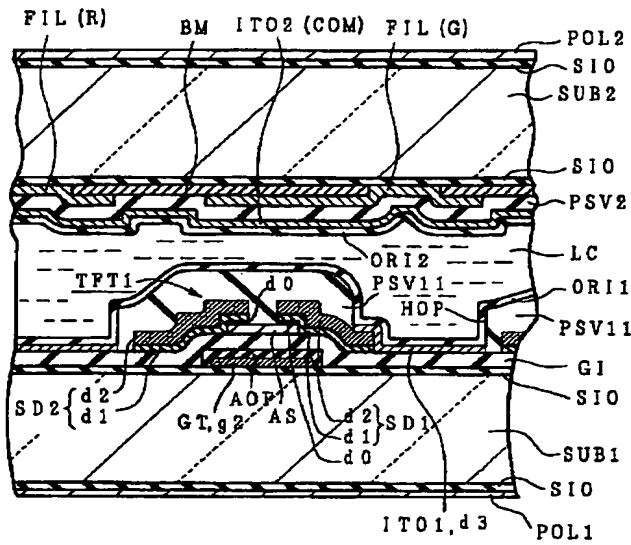
（以上添字省略）。

【図 2】



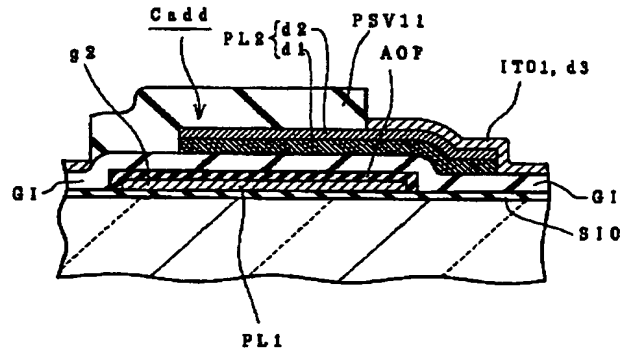
【図 3】

図 3



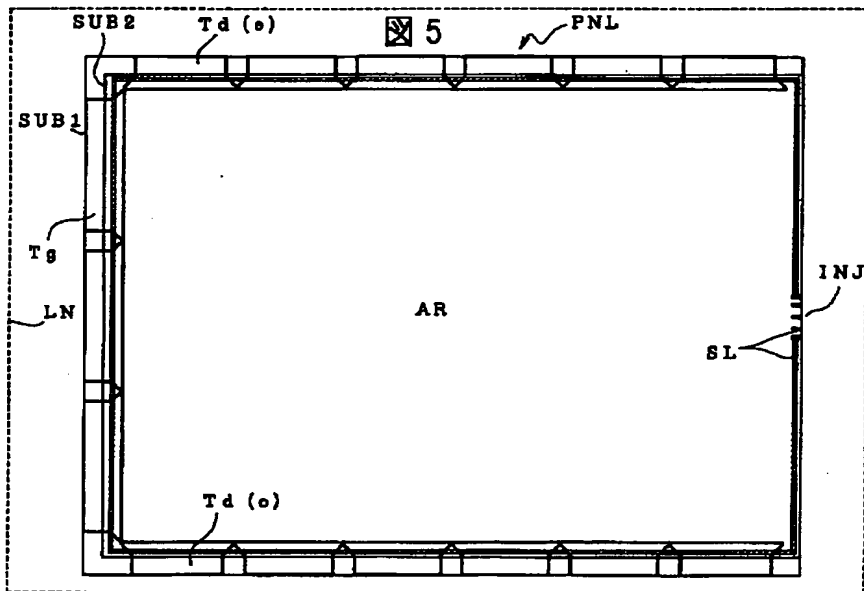
【図 4】

図 4



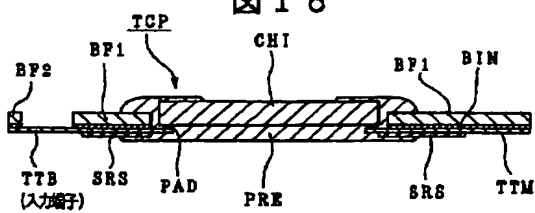
【図 5】

図 5

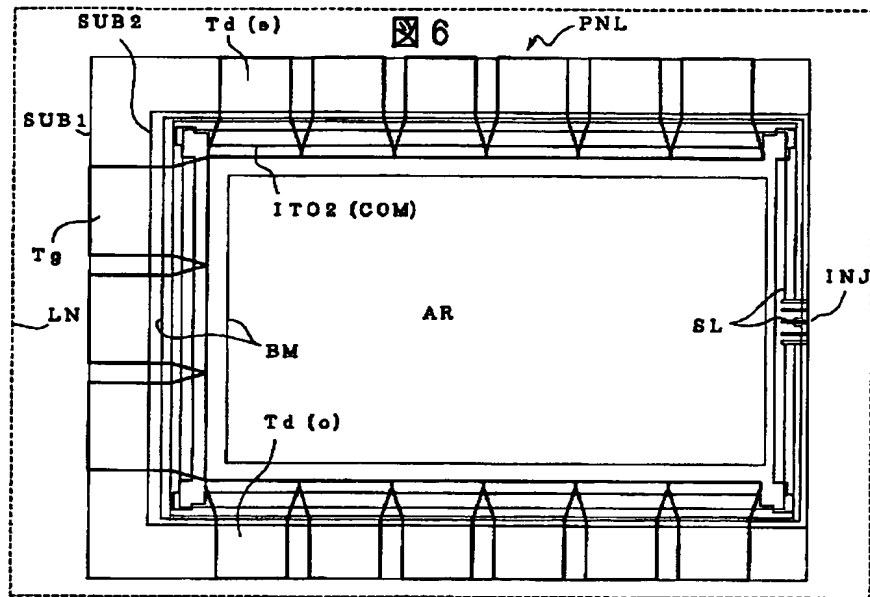


【図 18】

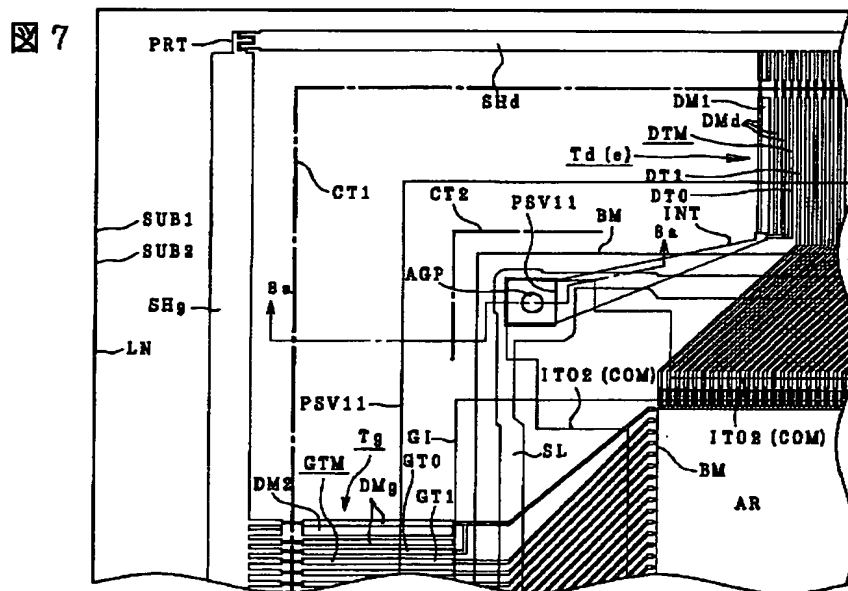
図 18



【図 6】

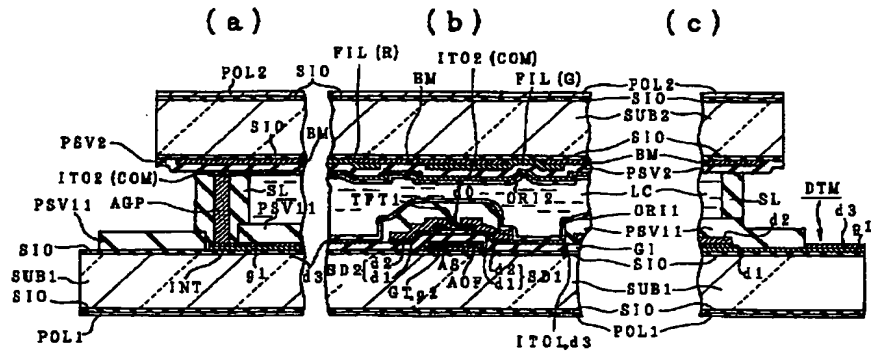


【図 7】

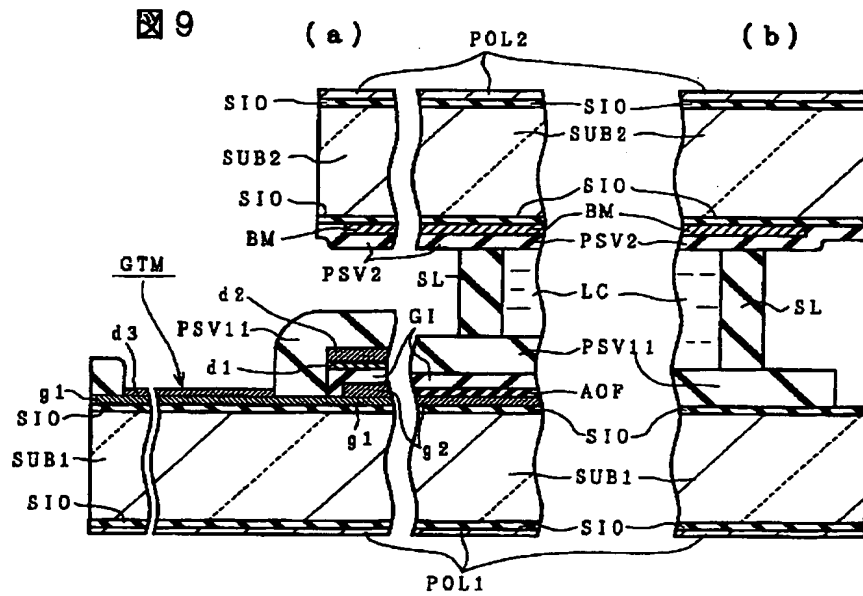


【図 8】

図 8

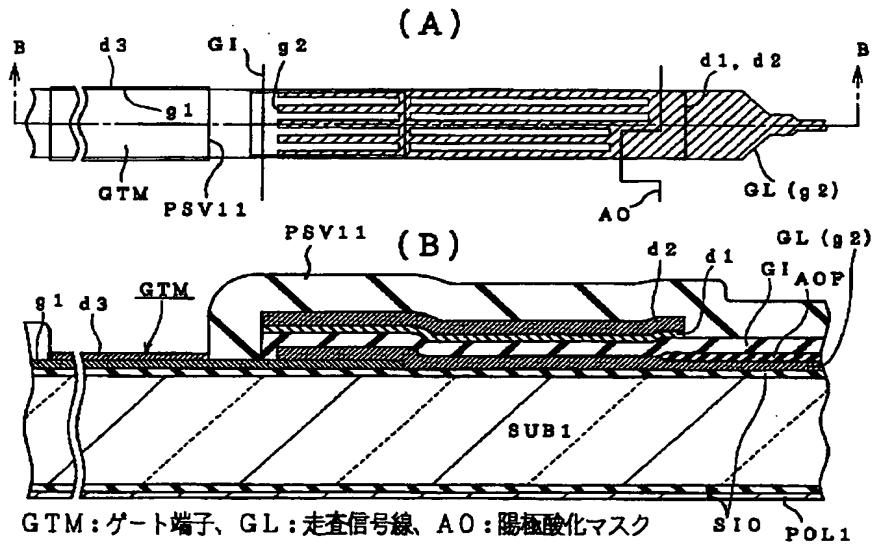


【図 9】



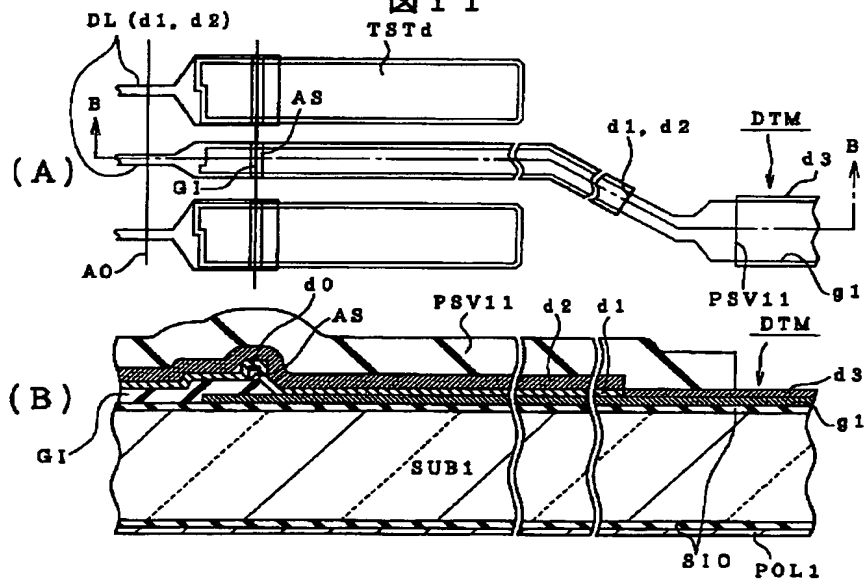
【図 10】

図 10



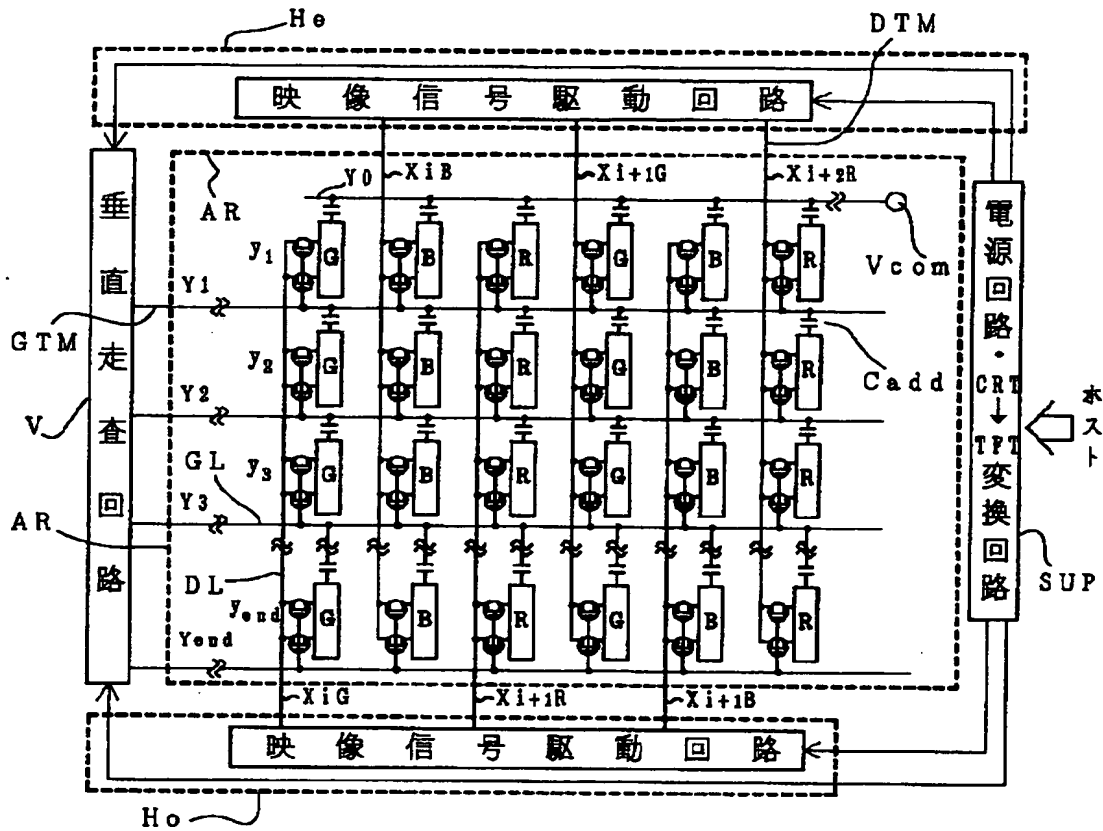
【図 11】

図 11



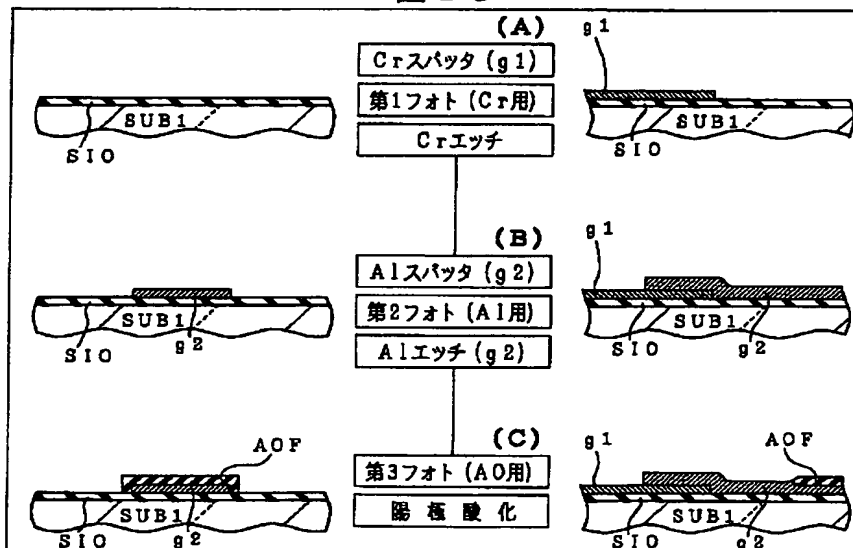
【図12】

図 1 2



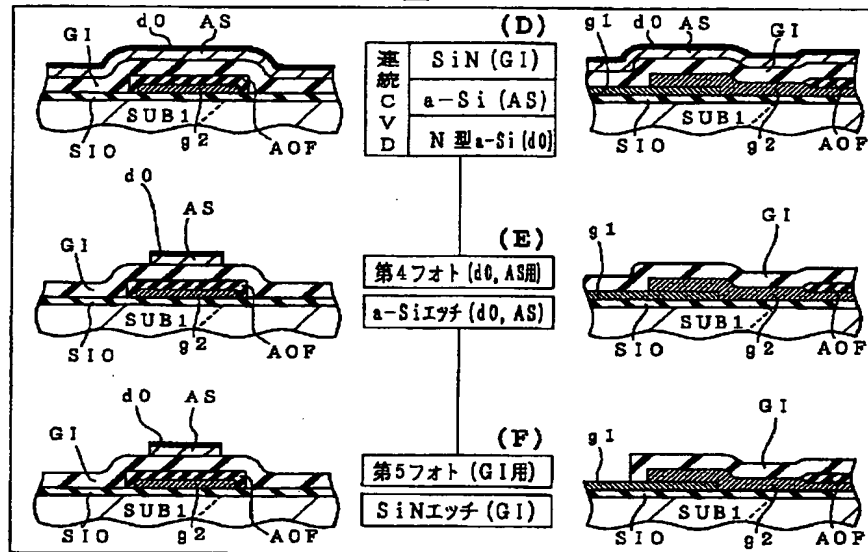
【図13】

図 1 3



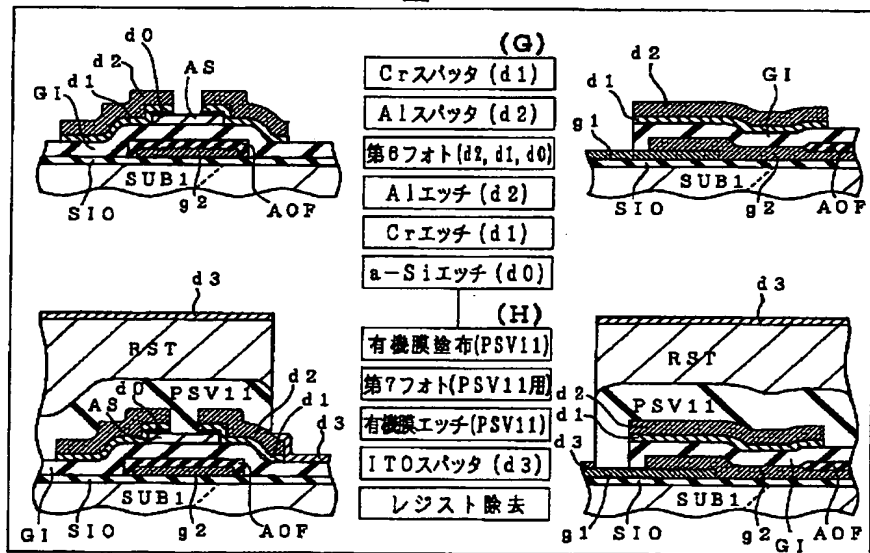
【図 1 4】

図 1 4

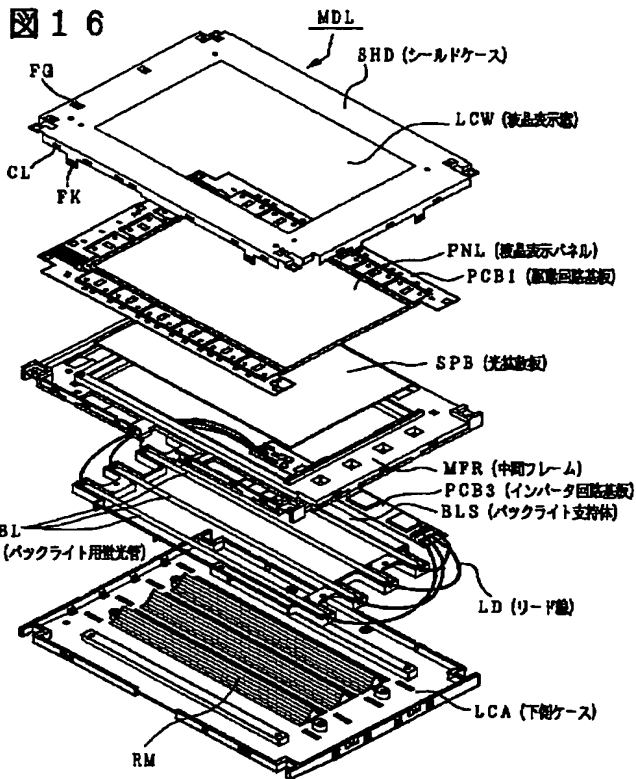


【図 1 5】

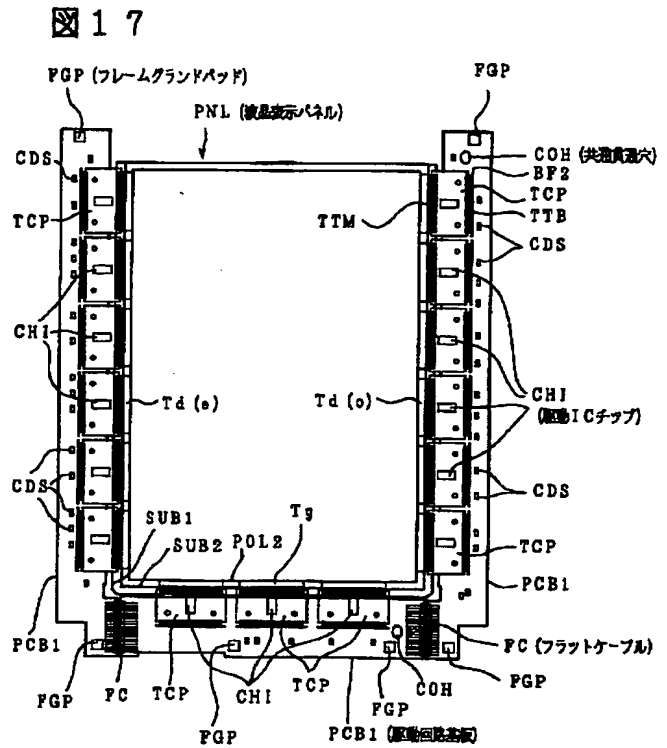
図 1 5



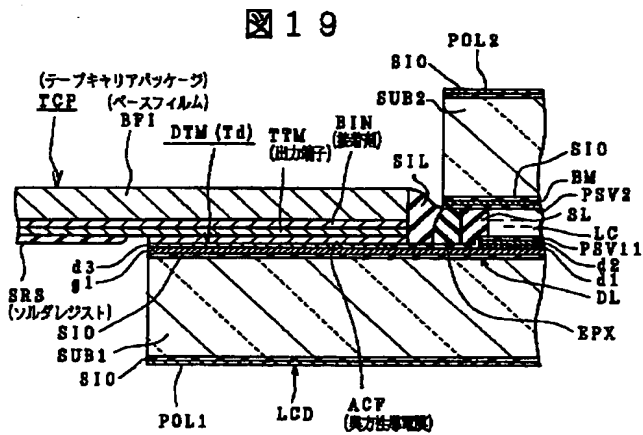
【図 16】



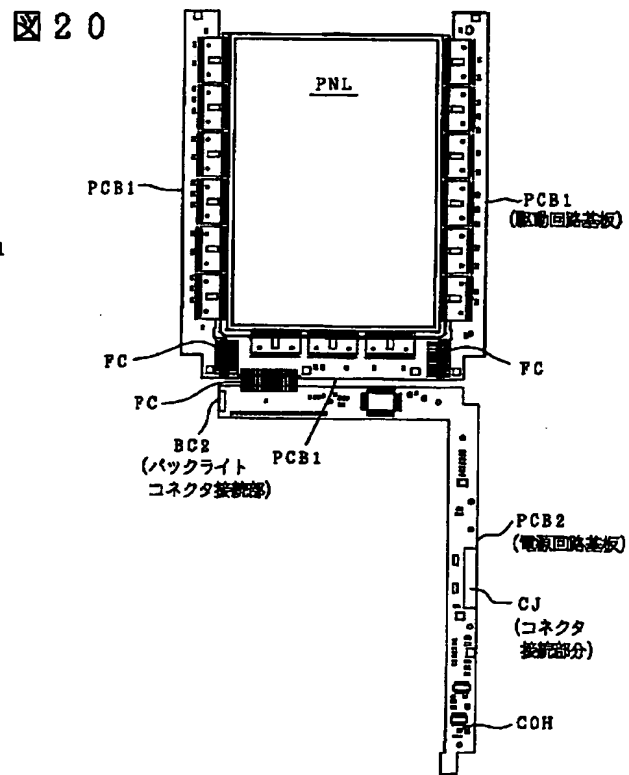
【図 17】



【図 19】

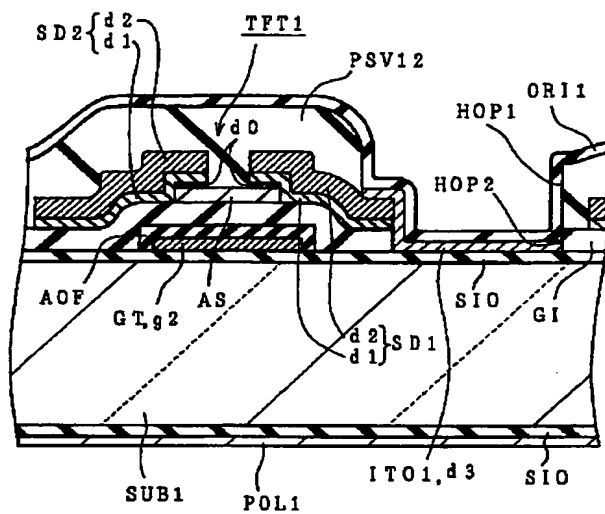


【図 20】



【図 2 1】

21



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.